



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0049780
Application Number

출원년월일 : 2002년 08월 22일
Date of Application AUG 22, 2002

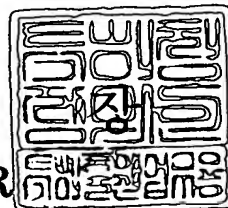
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.08.22
【발명의 명칭】	웰 바이어스 전압을 인가할 수 있는 반도체 소자 및 그 제조방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE APPLYING WELL BIAS AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김영옥
【성명의 영문표기】	KIM, YOUNG OK
【주민등록번호】	641226-1095928
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 321-2 영광빌라 5동 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	박순병
【성명의 영문표기】	PARK, SOON BYUNG
【주민등록번호】	720113-1890714

【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 1028-11 303호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 17 면 17,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 36 항 1,261,000 원
【합계】 1,307,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

웰 바이어스 전압을 인가할 수 있는 반도체 소자 및 그 제조방법이 개시된다. 기판에 제1 도전형의 웰을 형성하고, 상기 웰 내에 제2 도전형의 불순물 영역을 형성한다. 상기 제1 도전형의 웰 및 제2 도전형의 불순물 영역이 형성된 기판 상에 하부 층간절연막을 형성한다. 상기 하부 층간절연막을 관통하여 상기 불순물 영역과 연결되는 콘택플러그를 형성하되, 상기 콘택플러그의 내부에는 보이드(void)를 형성한다. 상기 콘택플러그가 형성된 하부 층간절연막 상에 상부 층간절연막을 형성하고, 상기 상부 층간절연막을 선택적으로 식각하여 상기 콘택플러그를 노출시키는 배선홈을 형성한다. 상기 노출된 보이드를 갖는 콘택플러그 및 기판을 과식각하여 상기 보이드를 상기 제1 도전형의 웰까지 연장시킨다. 상기 배선홈을 도전막으로 채워 배선을 형성하는데, 상기 웰까지 연장된 보이드에는 상기 콘택플러그 및 상기 웰을 연결하는 심(seam)이 형성되어 웰에 웰 바이어스를 인가할 수 있다.

【대표도】

도 3

【색인어】

웰 바이어스, 래치-업, 씨모스, 에스램, 콘택플러그

【명세서】

【발명의 명칭】

웰 바이어스 전압을 인가할 수 있는 반도체 소자 및 그 제조방법{SEMICONDUCTOR DEVICE APPLYING WELL BIAS AND METHOD OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1은 종래기술에 의한 웰 바이어스를 인가하기 위하여 웰 픽업 영역을 갖는 모스 트랜지스터를 나타내는 단면도,

도 2는 종래기술에 의한 웰 바이어스를 인가하기 위하여 공통 웰 픽업 영역을 갖는 모스 트랜지스터를 나타내는 단면도,

도 3은 본 발명에 따른 선택적으로 웰 바이어스를 인가할 수 있는 반도체 소자의 단면도,

도 4a 내지 도 4e는 본 발명에 따른 웰 바이어스를 인가할 수 있는 반도체 소자의 제조방법을 나타내는 단면도들,

도 5은 에스램 셀을 나타내는 회로도,

도 6a 내지 도 8은 본 발명에 따른 에스램 셀의 제조방법을 나타내는 단면도들이다

*도면의 주요 부분에 대한 부호의 설명

2, 102 : 기판

4, 104 : 웰

8, 108 : 필드영역

130, 146 : 하부 및 상부 층간절연막

140, 142 : 제1 및 제2 콘택플러그 143 : 심(seam)

148, 150 : 제1 및 제2 배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 웰 바이어스 전압을 인가할 수 있는 반도체 소자 및 그 제조방법에 관한 것이다.

<13> VLSI(Very Large Scale Integration) 시대로 접어들면서, NMOS 소자의 전력(power) 소모는 심각한 문제로 대두됨에 따라 전력 소모가 적은 기술의 개발은 필수 불가결하다. 이러한 문제의 돌파구를 위하여 제안된 CMOS 기술은 1/2 내지 1/4의 전력의 감소를 가져왔다. CMOS 인버터는 NMOS와 PMOS 트랜지스터로 구성되는데, NMOS와 PMOS 트랜지스터의 게이트는 서로 묶여 인버터의 입력(input)단이 되며, NMOS와 PMOS 트랜지스터의 드레인 은 인버터의 출력단이 된다. 통상 NMOS 트랜지스터는 p웰(well) 내에 형성되며 PMOS 트랜지스터는 n웰내에 형성된다. 일반적으로 n웰에는 전원전압인 VDD를 인가하며, p웰에는 접지전원 Vss인 웰 바이어스를 인가한다. 상기 p웰과 상기 n웰에 인가되는 웰 바이어스 전압은 문턱전압(threshold voltage, V_{th})을 개선시키며, 각 트랜지스터의 전기적 특성을 안정화하는데 도움을 준다.

<14> 도 1은 종래기술에 의한 웰 바이어스를 인가하기 위하여 웰 픽업 영역을 갖는 NMOS 트랜지스터를 나타내는 단면도이다. 도면에서는 NMOS 트랜지스터가 도시되어 있지만, PMOS 트랜지스터도 유사한 구조를 가지고 있다.

- <15> 도 1을 참조하면, 기판(2)에 p웰(4)이 배치되어 있으며, 활성영역을 정의하는 필드 영역(8)이 배치되어 있다. 상기 필드영역(8) 사이의 활성영역에는 NMOS 트랜지스터가 배치된다. NMOS 트랜지스터는 게이트 절연막(10), 게이트 전극(12) 및 게이트 스페이서(18)로 구성되는 게이트 스택과 저도핑 불순물 영역(14) 및 고도핑 불순물 영역(20)으로 구성된 소오스 및 드레인 영역(22)을 포함한다. 상기 소오스 및 드레인 영역(22)은 기판에 형성된 p웰(4) 내에 위치하며, p웰(4)은 웰 바이어스를 인가하기 위한 웰 픽업 영역(24)과 연결되어 있다.
- <16> 모스 트랜지스터의 드레인 영역에는 드레인 전압 V_{ds} 가 인가되고, 게이트 전극에는 게이트 전압 V_{gs} 가 인가되며, 소오스 영역 및 웰 픽업 영역에는 접지전원 V_{ss} 이 인가된다. 미 설명 도면부호 '26a' 및 '26b'는 각각 게이트 전극 및 활성영역 상에 형성된 실리콘사이드막을 나타낸다.
- <17> 이와 같이 웰 바이어스를 인가하기 위하여 각각의 모스 트랜지스터마다 웰 픽업 영역을 형성하면 칩 면적이 증가하는 단점이 있다. 따라서, 도 2에 도시한 바와 같이 공통 웰 픽업 영역을 갖는 모스 트랜지스터가 사용되고 있다.
- <18> 도 2를 참조하면, 3개의 NMOS 트랜지스터(TR1, TR2, TR3)가 공통 웰 픽업 영역(25)을 갖고 있다. 도 2의 도면부호는 도 1에 도시된 도면부호와 동일하다.
- <19> 공통 웰 픽업 영역을 갖는 구조는 칩 면적을 감소시켜 집적화에 유리한 장점이 있다. 반면에, 상술한 공통 웰 픽업 영역을 사용하는 경우에는 웰 픽업 영역에 인접한 NMOS 트랜지스터에는 문제가 없으나, 상대적으로 떨어져 있는 NMOS 트랜지스터에는 래치업에 취약해지는 단점이 발생한다. 이는 웰 픽업 영역에서 떨어져 있는 NMOS 트랜지스터에서는 떨어진 거리에 비례하여 웰 저항이 증가하기 때문이다. 래치-업은 CMOS 트랜지스

터에서 두 개의 기생 바이폴라 트랜지스터(parastic bipolar transistor)가 맞물려 싸이리스터(thyristor)처럼 행동하여 비정상적으로 턴 온(turn-on)되는 현상이다. 래치-업에 의하여 모스 트랜지스터의 전기적 특성은 비정상적으로 변화되거나, 또는 모스 트랜지스터가 파괴될 수가 있다. 이러한 래치-업을 방지하기 위해서는 다수의 모스 트랜지스터에 대하여 각각 웰 픽업 영역을 만들어 주는 것이 유리하나, 이는 칩 면적을 증가시킨다.

<20> 결국, 모스 트랜지스터에 웰 픽업 영역을 형성하는데 있어서는, 좋은 전기적 특성을 얻는 과제와 칩 면적을 줄이는 과제 사이에는 트레이드 오프(trade-off) 관계가 성립한다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 칩의 면적을 줄여 고집적화를 달성하면서, 동시에 원하는 모스 트랜지스터에 웰 바이어스를 효과적으로 인가하여 전기적 특성을 개선할 수 있는 반도체 소자 및 그 제조방법을 제공하는데 목적이 있다.

【발명의 구성 및 작용】

<22> 상기 목적을 달성하기 위하여, 본 발명의 반도체 소자는 제1 도전형의 웰이 형성된 기판에 제2 도전형의 불순물 영역이 배치된다. 상기 제1 도전형의 웰 및 제2 도전형의 불순물 영역이 형성된 기판 상에 하부 층간절연막이 적층되어 있으

며, 상기 하부 층간절연막을 관통하여 상기 불순물 영역과 연결되는 콘택플러그가 형성되어 있다. 상기 콘택플러그가 형성된 하부 층간절연막 상에 상부 층간절연막이 적층되어 있으며, 상기 상부 층간절연막을 관통하여 상기 콘택플러그와 연결되는 배선이 형성되어 있다. 상기 콘택플러그 하부에는 상기 웰과 연결되는 심(seam)이 형성되어 상기 웰에 웰 바이어스를 인가할 수 있다. 상기 불순물 영역은 에스램 셀의 풀업 트랜지스터의 소오스 영역이고, 상기 배선은 전원라인일 수가 있다. 또는 상기 불순물 영역은 에스램 셀의 드라이버 트랜지스터의 소오스 영역이고, 상기 배선은 접지라인일 수가 있다.

<23> 본 발명의 반도체 소자의 제조방법은 기판에 제1 도전형의 웰을 형성하고, 상기 웰 내에 제2 도전형의 불순물 영역을 형성한다. 상기 제1 도전형의 웰 및 제2 도전형의 불순물 영역이 형성된 기판 상에 하부 층간절연막을 형성한다. 상기 하부 층간절연막을 관통하여 상기 불순물 영역과 연결되는 콘택플러그를 형성하되, 상기 콘택플러그의 내부에는 보이드(void)를 형성한다. 상기 콘택플러그가 형성된 하부 층간절연막 상에 상부 층간절연막을 형성하고, 상기 상부 층간절연막을 선택적으로 식각하여 상기 콘택플러그를 노출시키는 배선홈을 형성한다. 상기 노출된 보이드를 갖는 콘택플러그 및 기판을 과식각하여 상기 보이드를 상기 제1 도전형의 웰까지 연장시킨다. 상기 배선홈을 도전막으로 채워 배선을 형성하되, 상기 웰까지 연장된 보이드에는 상기 콘택플러그 및 상기 웰을 연결하는 심(seam)이 형성된다.

<24> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 상세히 설명한다.

- <25> 도 3은 본 발명에 따른 선택적으로 웰 바이어스를 인가할 수 있는 반도체 소자의 단면도이다. 도면부호 'A'에서는 통상의 방법에 의하여 불순물 영역(소오스 또는 드레인 영역)과 연결되는 콘택플러그가 형성된 영역이고, 도면부호 'B'에서는 본 발명에 의하여 불순물 영역(소오스 또는 드레인 영역) 및 웰 영역과 연결되는 콘택플러그가 형성된 영역이다. 즉, 'B' 영역에서는 웰 영역에 웰 바이어스를 인가할 수 있다.
- <26> 도 3을 참조하면, 제1 도전형 웰(104)이 형성된 기판(102)에 활성영역을 정의하는 필드영역(108)이 배치되어 있다. 'A' 영역의 활성영역에는 제2 도전형의 제1 불순물 영역(122)이 배치되어 있으며, 'B' 영역의 활성영역에는 제2 도전형의 제2 불순물 영역(123)이 배치되어 있다. 상기 활성영역 및 필드영역을 포함하는 기판 상에는 하부 층간절연막(130)이 적층되어 있다. 'A' 영역에서는 상기 하부 층간절연막(130)을 관통하여 상기 제1 불순물 영역(122)과 전기적으로 접속되는 제1 콘택플러그(140)가 형성되어 있으며, 'B' 영역에서는 상기 하부 층간절연막(130)을 관통하여 상기 제2 불순물 영역(123)과 전기적으로 접속되는 제2 콘택플러그(142)가 형성되어 있다. 상기 제1 및 제2 콘택플러그(140, 142)는 각각 배리어 메탈(136) 및 제1 도전막(138)으로 구성되어 있다.
- <27> 상기 제2 콘택플러그(142)는 상기 제1 콘택플러그(140)보다 상대적으로 그 폭이 더 넓으며, 상기 제2 콘택플러그(142)의 하부에는 상기 웰 영역(104)과 연결되는 심(seam, 143)이 형성되어 있다. 이와 같이, 'B' 영역에서는 상기 제2 콘택플러그(142)의 하부에서 연장되어 상기 웰(104)과 연결되는 심(143)에 의하여 칩 면적의 증가없이 웰 바이어스를 인가할 수 있는 장점이 있다.
- <28> 상기 제1 및 제2 콘택플러그(140, 142)를 포함하는 상기 하부 층간절연막(130) 상에는 식각저지막(144) 및 상부 층간절연막(146)이 적층되어 있으며, 'A' 영역에서는 상

기 상부 층간절연막(146) 및 식각저지막(144)을 관통하여 상기 제1 콘택플러그(140)와 연결되는 제1 배선(156)이 형성되어 있으며, 'B' 영역에서는 상기 상부 층간절연막(146) 및 식각저지막(144)을 관통하여 상기 제2 콘택플러그(142)와 연결되는 제2 배선(158)이 형성되어 있다. 상기 제1 및 제2 배선(156, 158)은 각각 배리어 메탈(152) 및 제2 도전막(154)으로 구성되어 있다.

<29> 이하, 상술한 웰 바이어스를 인가할 수 있는 반도체 소자의 제조방법을 도 4a 및 도 4e를 참조하여 설명한다.

<30> 도 4a를 참조하면, 기판(102)에 제1 도전형의 웰(104)을 형성하고, 활성영역을 정의하는 필드영역(108)을 형성한다. 즉, 상기 기판(102)을 선택적으로 식각하여 트렌치를 형성하고, 상기 트렌치를 충분히 채우는 절연물을 매립하고 화학기계적 연마하여 필드영역(108)을 형성한다. 이어서 상기 활성영역에 제2 도전형의 불순물을 이온 주입하여 불순물이 도핑된 제1 및 제2 불순물 영역(122, 123)을 형성한다. 상기 제1 및 제2 불순물 영역(122, 123)은 모스 트랜지스터의 소오스 영역 또는 드레인 영역에 해당한다. 이어서, 상기 필드영역(108)이 형성된 기판 전면에서 하부 층간절연막(130)을 형성한다. 상기 하부 층간절연막(130)을 통상의 사진식각 공정을 이용하여 패터닝하여 상기 불순물이 도핑된 제1 및 제2 불순물 영역(122, 123)을 노출시키는 개구부들(132, 134)을 형성한다. 도면에 도시된 바와 같이 'B' 영역의 상기 제2 불순물 영역(123)을 노출시키는 개구부(134)에서는 'A' 영역의 상기 제1 불순물 영역(122)을 노출시키는 개구부(132)와 대비하여 상대적으로 큰 개구부를 형성한다.

<31> 도 4b를 참조하면, 상기 개구부들(132, 134)의 바닥 및 측벽과 상기 하부 층간절연막(130)의 상부에는 배리어 메탈(136)을 콘포멀하게 형성할 수 있다. 이어서, 상기 배리

어 메탈(136) 상에 제1 도전막(138)을 형성한다. 상기 제1 도전막(138)은 텅스텐(W)으로 형성할 수 있다. 주목할 점은 상기 제1 도전막(138)의 형성 두께는 'B' 영역의 개구부(134)의 폭의 1/2 이하로 형성하여 도면에서 도시한 바와 같이 보이드(139)를 인위적으로 형성한다. 반면에 'A' 영역의 개구부(132)는 제1 도전막으로 완전히 채움으로써 보이드가 형성되지 않는다.

<32> 도 4c를 참조하면, 상기 제1 도전막(138) 및 배리어 메탈(136)을 상기 하부 층간절연막(130)의 표면이 노출될 때까지 에치백 또는 CMP 연마하여 상기 제1 개구부(132) 내에는 제1 콘택플러그(140)를 형성하고, 상기 제2 개구부(134) 내에는 제2 콘택플러그(142)를 형성한다. 상기 제2 콘택플러그(142)의 내부에는 보이드(139)가 잔존한다.

<33> 도 4d를 참조하면, 상기 제1 및 제2 콘택플러그(140, 142)가 형성된 하부 층간절연막(130) 상에 식각저지막(144) 및 상부 층간절연막(146)을 순서대로 적층한다. 이어서, 통상의 사진 식각공정을 사용하여 상기 상부 층간절연막(146) 및 식각저지막(144)을 패터닝하여 상기 제1 콘택플러그(140)를 노출시키는 제1 배선홈(148) 및 상기 제2 콘택플러그(142)를 노출시키는 제2 배선홈(150)을 형성한다.

<34> 도 4e를 참조하면, 상기 제1 및 제2 배선홈(148, 150)을 형성한 후에는 기판에 전면적으로 RF 식각을 실시하여, 상기 제1 및 제2 배선홈(148, 150) 내에 잔존할 수 있는 불순물을 제거한다. RF 식각에 의하여 'B' 영역에서는 상기 보이드(139) 하부의 상기 제1 도전막(138), 배리어 메탈(136) 및 실리콘 기판이 식각되어 상기 보이드(139)는 상기 웰 영역(104)까지 연장된다.

<35> 다시 도 3을 참조하면, 상기 제1 및 제2 배선홈(148, 150)의 내부 및 상기 상부 층간절연막(146)의 상부에 배리어 메탈(152)을 콘포멀하게 형성할 수 있다. 이어서, 상기

배리어 메탈(152) 상에 상기 제1 및 제2 배선훈(148, 150)을 충분히 채우는 제2 도전막(154)을 형성한다. 상기 제2 도전막(154)은 텅스텐(W)으로 형성할 수 있다. 상기 배리어 메탈(152) 및 상기 제2 도전막(154)을 형성하는 동안 또는 그 후속 공정이 진행되는 동안에, 상기 웰 영역(104) 까지 연장된 보이드(139)를 통하여 상기 제1 도전막(138) 또는 제2 도전막이 침입하여 심(143)을 형성한다. 상기 심(143)은 상기 웰 영역(104)과 상기 제2 콘택플러그(142)를 연결시킨다. 즉, 별도의 웰 픽업 영역을 형성하지 않으면서도 선택적으로 웰 바이어스를 인가할 수 있어 집적화에 유리한다. 이어서, 상기 제2 도전막(154) 및 상기 배리어 메탈(152)을 상기 상부 층간절연막(146)의 표면이 노출될 때까지 에치백 또는 CMP를 이용하여 평탄화하여 제1 및 제2 배선(156, 158)을 형성한다.

<36> 이하, 상술한 웰 바이어스를 인가할 수 있는 반도체 장치를 SRAM(Static Random Access Memory)에 적용한 실시예를 설명한다. 본 발명의 실시예에서는 SRAM을 예로 들어 설명하지만, 그 밖에 다양한 소자에서 응용할 수 있음은 당업자에게 명백하다.

<37> 도 5은 SRAM 셀을 나타내는 회로도이다.

<38> 도 5를 참조하면, SRAM 셀은 2개의 액세스 트랜지스터(AT1, AT2), 2개의 풀 업(pull-up) 트랜지스터(PT1, PT2) 및 2개의 드라이버 트랜지스터(DT1, DT2)로 구성되어 있다. 트랜지스터 PT1 및 DT1은 제1 인버터를 구성하고, 트랜지스터 PT2 및 DT2는 제2 인버터를 구성한다. 제1 및 제2 인버터는 2개의 노드 N1 및 노드 N2에서 교차접속되어 있다. 트랜지스터 DT1 및 DT2의 소오스 영역은 접지라인 Vss에 접속되고, 트랜지스터 PT1 및 PT2의 소오스 영역은 전원라인 VDD에 접속되어 있다. 트랜지스터 AT1의 드레인은 비트라인 BL1에 접속되고, 트랜지스터 AT2의 드레인은 비트라인 BL2에 접속된다. 트랜

지스터 AT1의 소오스 및 트랜지스터 AT2의 소오스는 각각 노드 N1 및 노드 N2에 접속되어 있다. 트랜지스터 AT1 및 AT2의 게이트 전극은 공통 워드라인 WL에 접속되어 있다.

<39> 도 6a 내지 도 8은 본 발명에 따른 SRAM 셀의 제조방법을 나타내는 단면도들이다. 도 6a, 도 7a 및 도 8은 본 발명의 실시예에 따른 에스램 셀의 평면도들을 나타내는데, 두 개의 셀이 k-k'을 기준으로 대칭되어 있다. 도 6b 및 도 7b는 각각 도 6a 및 도 7a를 절단선 I-I'로 취한 단면도들이다.

<40> 도 6a 및 도 6b를 참조하면, 웰 영역(203)이 형성된 기판(201)에는 활성영역(202a, 202b)을 정의하는 필드영역(206)이 형성되어 있다.

<41> 상기 필드영역(206) 및 활성영역(202a, 202b)을 게이트막(215, 217a, 217b)이 가로지르는데, 상기 게이트막은 워드라인(215) 및 제1 및 제2 게이트 전극(217a, 217b)으로 구성되어 있다. 상기 게이트막과 상기 기판 사이에는 게이트 절연막이 개재되어 있다.

<42> 상기 워드라인(215)은 상기 활성영역(202a)의 상부를 가로질러 트랜지스터 AT1, AT2의 게이트를 형성한다.

<43> 상기 제1 게이트 전극(217a)은 상기 워드라인(215)과 수직하도록 배치되며, 상기 활성영역(202a, 202b)의 상부를 가로질러 트랜지스터 DT1 및 트랜지스터 PT1에 대한 게이트를 형성하며 이들 게이트를 연결한다. 상기 제2 게이트 전극(217b)은 상기 제1 게이트 전극(217a)과 평행하도록 배치되며, 트랜지스터 DT2 및 트랜지스터 PT1에 대한 게이트를 형성하며 이들 게이트를 연결한다.

<44> 상기 워드라인(215), 제1 및 제2 게이트 전극(217a, 217b)에 인접한 활성영역(202a)에는 n형의 이온주입된 활성영역(N1, N2, 228a, 228b, 210))이 형성되어 있으며,

상기 제1 및 제2 게이트 전극(217a, 217b)에 인접한 활성영역(202b)에는 p형의 이온주입된 활성영역(230, 232a, 232b)이 형성되어 있다.

<45> n형 이온주입된 활성영역(N1, N2, 228a, 228b, 210)으로는 상기 워드라인(215) 및 상기 제1 게이트 전극(217a) 사이의 제1 노드 영역(N1), 상기 워드라인(215) 및 상기 제2 게이트 전극(217b)의 사이의 제2 노드 영역(N2), 상기 제1 게이트 전극(217a) 및 상기 제2 게이트 전극(217b) 사이의 트랜지스터 DT1 및 트랜지스터 DT2의 공통 소오스 영역(210), 상기 워드라인(215)과 인접하고 상기 제1 노드 영역(N1)의 반대편에 위치한 트랜지스터 AT1의 제1 드레인 영역(228a), 상기 워드라인(215)과 인접하고 상기 제2 노드 영역(N2)의 반대편에 위치한 트랜지스터 AT2의 제2 드레인 영역(228b)이 있다.

<46> p형 이온주입된 활성영역(P+ 영역)으로는 상기 제1 게이트 전극(217a) 및 상기 제2 게이트 전극(217b) 사이의 트랜지스터 PT1 및 트랜지스터 PT2의 공통 소오스 영역(230), 상기 제1 게이트 전극(217a)과 인접하고 상기 공통 소오스 영역(230)의 반대편에 위치한 트랜지스터 PT1의 제1 드레인 영역(232a), 상기 제2 게이트 전극(217b)과 인접하고 상기 공통 소오스 영역(230)의 반대편에 위치한 트랜지스터 PT2의 제2 드레인 영역(232b)이 있다.

<47> 상기 게이트막 패턴(215, 217a, 217b)을 포함하는 기판 전면에서 하부 층간절연막(235)이 형성되어 있으며, 상기 하부 층간절연막(235)을 관통하여 도전성 콘택플러그(이하 '콘택'이라 한다)가 형성되어 있다. 상기 콘택으로는 상기 트랜지스터 AT1의 제1 드레인 영역(228a)에 형성된 콘택 CT1a, 상기 트랜지스터 AT2의 제2 드레인 영역(228b)에 형성된 콘택 CT1b, 상기 제1 노드 영역(N1)에 형성된 콘택 CT2a, 상기 제2 노드 영역(N2)에 형성된 콘택 CT2b, 상기 제1 게이트 전극(217a)에 형성된 콘택 CT3a, 상기 제2

게이트 전극(217b)에 형성된 콘택 CT3b, 상기 트랜지스터 PT1 및 PT2의 공통 소오스 영역(230)에 형성된 CT4, 상기 트랜지스터 PT1의 제1 드레인 영역(232a)에 형성된 콘택 CT5a, 상기 트랜지스터 PT2의 제1 드레인 영역(232b)에 형성된 콘택5b, 상기 트랜지스터 DT1 및 DT2의 공통 소오스 영역(210)에 형성된 CT6가 있다.

<48> 주목할 점은 상기 콘택 CT4 및 CT6는 다른 콘택들에 비하여 상대적으로 그 크기가 크게 형성되어 있다. 이는 콘택 CT4를 통하여 트랜지스터 PT1 및 PT2에 전원전압 VDD을 인가하면서 동시에 n웰에 웰 바이어스 전압을 인가하기 위한 심(seam)을 형성하기 위해서이다. 마찬가지로, 콘택 CT6을 통하여 트랜지스터 DT1 및 DT2에 접지전원 Vss를 인가하면서 동시에 p웰에 웰 바이어스를 인가하기 위한 심을 형성하기 위해서이다.

<49> 도 6b는 도 6a를 절단선 I-I'로 위한 단면도인데, 트랜지스터 PT1의 드레인 영역(232a)에 형성된 콘택 5a와 트랜지스터 PT2의 소오스 영역(230)에 형성된 콘택 CT4를 절단하였다. 도면에 도시한 바와 같이 콘택 CT4는 콘택 CT5a에 대비하여 상대적으로 크게 형성되어 있으며, 내부에는 보이드(239)가 형성되어 있다. 콘택 CT5a 및 CT4는 배리어 메탈(236) 및 제1 도전막(238)으로 구성되어 있다. 미 설명 도면부호 '203'은 n웰을 나타낸다.

<50> 도 7a 및 도 7b를 참조하면, 상기 콘택들을 연결하는 제1 상호연결라인(240a), 제2 상호연결라인(240b), 전원라인 VDD(250) 및 접지라인 Vss(260)이 형성되어 있다.

<51> 상기 제1 상호연결라인(240a)은 콘택 CT2a를 통하여 제1 노드 영역(N1)과 연결되며, 콘택 CT5a를 통하여 트랜지스터 PT1의 제1 드레인 영역(232a)과 연결되며, 콘택 CT3b를 통하여 트랜지스터 DT2 및 트랜지스터 PT2의 게이트 전극(217b)과 연결된다. 유사하게 상기 제2 상호연결라인(240b)은 콘택 CT2b를 통하여 제2 노드 영역(N2)과 연결

되며, 콘택 CT5b를 통하여 트랜지스터 PT2의 제2 드레인 영역(232b)과 연결되며, 콘택 CT3a를 통하여 트랜지스터 DT1 및 트랜지스터 PT1의 게이트 전극(217a)과 연결된다.

<52> 상기 전원라인 VDD(250)는 트랜지스터 PT1 및 트랜지스터 PT2의 공통 소오스 영역(230) 및 n웰(203)을 콘택 CT4를 통하여 전원전압과 연결한다.

<53> 상기 접지라인 Vss(260)는 트랜지스터 DT1 및 트랜지스터 DT2의 공통 소오스 영역(224, 210) 및 p웰을 CT6를 통하여 접지전원과 연결한다.

<54> 도 7b는 도 7a를 절단선 I-I'로 위한 단면도인데, 콘택 CT5a 및 콘택 CT4가 형성된 하부 층간절연막(235) 상에 상부 층간절연막(245)이 형성되어 있다. 상기 상부 층간절연막(245)을 관통하여 상기 콘택 CT5a 및 CT4와 각각 연결되는 제1 상호연결라인(240a) 및 전원라인 VDD(250)이 형성되어 있다. 상기 제1 상호연결라인(240a) 및 상기 전원라인 VDD(250)을 형성하는 공정이 진행되는 동안에 콘택 CT4의 하부에는 심(243)이 형성되어 상기 n웰(203)과 상기 콘택 CT4를 연결시킨다. 즉, 별도의 웰 픽업 영역을 형성하지 않으면서도 선택적으로 웰 바이어스를 인가할 수 있다. 상기 제1 상호연결라인(240a) 및 상기 전원라인 VDD(250)은 각각 배리어 메탈(252) 및 제2 도전막(254)으로 구성되어 있다.

<55> 도 8을 참조하면, 도 7a의 결과물 상에 제1 및 제2 비트라인(270a, 270b)이 배치된다. 상기 제1 비트라인(270a)은 콘택 CT1a을 통하여 트랜지스터 AT1의 제1 드레인 영역(228a)을 비트라인 전원에 접속시킨다. 유사하게 상기 제2 비트라인(270b)은 콘택 CT1b을 통하여 트랜지스터 AT2의 제2 드레인 영역(228b)을 비트라인 전원에 접속시킨다.

<56> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<57> 상기와 같이 이루어진 본 발명은, 선택적 원하는 모스 트랜지스터에 웰 바이어스를 효과적으로 인가할 수 있으면서도, 칩 면적이 증가하지 않는 효과가 있다.

<58> 또한, 본 발명은 에스램에서 칩 면적의 증가없이 전원전압을 n웰에 인가할 수 있으며, 접지전원을 p웰에 인가할 수 있다.

【특허청구범위】**【청구항 1】**

제1 도전형의 웰이 형성된 기판;

상기 웰 내에 배치된 제2 도전형의 불순물 영역;

상기 제1 도전형의 웰 및 제2 도전형의 불순물 영역이 형성된 기판 상에 적층된 하부 층간절연막;

상기 하부 층간절연막을 관통하여 상기 불순물 영역과 연결되는 콘택플러그;

상기 콘택플러그가 형성된 하부 층간절연막 상에 형성된 상부 층간절연막;

상기 상부 층간절연막을 관통하여 상기 콘택플러그와 연결되는 배선; 및

상기 콘택플러그 하부에 상기 웰과 연결되는 심(seam)을 포함하는 반도체 소자.

【청구항 2】

제 1 항에 있어서,

상기 제1 도전형 웰은 n형이며, 상기 n웰에는 상기 심(seam)을 통하여 전원전압의 웰 바이어스가 인가되는 것을 특징으로 하는 반도체 소자.

【청구항 3】

제 2 항에 있어서,

상기 제2 도전형의 불순물 영역은 에스램 셀의 풀업 트랜지스터의 소오스 영역이며, 상기 배선은 전원라인인 것을 특징으로 하는 반도체 소자.

【청구항 4】

제 1 항에 있어서,

상기 제1 도전형 웰은 p형이며, 상기 p웰에는 상기 심(seam)을 통하여 접지전원의 웰 바이어스가 인가되는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제 4 항에 있어서,

상기 제2 도전형의 불순물 영역은 에스램 셀의 드라이버 트랜지스터의 소오스 영역이며, 상기 배선은 접지라인인 것을 특징으로 하는 반도체 소자.

【청구항 6】

제 1 항에 있어서,

상기 콘택플러그 및 배선은 텅스텐으로 이루어진 것을 특징으로 하는 반도체 소자.

【청구항 7】

제1 도전형 웰이 형성된 기판;

상기 제1 도전형 웰 내에 서로 소정 거리 이격하여 형성된 제2 도전형의 제1 불순물 영역 및 제2 불순물 영역;

상기 제1 및 제2 불순물 영역이 형성된 기판 상에 형성된 하부 층간절연막;

상기 하부 층간절연막을 관통하여 상기 제1 불순물 영역과 전기적으로 접속되는 제1 콘택플러그 및 상기 제2 불순물 영역과 전기적으로 접속되는 제2 콘택플러그;

상기 제1 및 제2 콘택플러그가 형성된 하부 층간절연막 상에 형성된 상부 층간절연막; 및

상기 상부 층간절연막을 관통하여 상기 제1 콘택플러그와 연결되는 제1 배선 및 상기 제2 콘택플러그와 연결되는 제2 배선을 포함하되, 상기 제2 콘택플러그는 상기 제1 콘택플러그보다 상대적으로 그 폭이 더 넓으며 하부에는 상기 웰과 연결되는 심(seam)이 형성되어 있는 것을 특징으로 하는 반도체 소자.

【청구항 8】

제 7 항에 있어서,

상기 제2 콘택플러그와 상기 웰을 연결되는 심을 통하여 웰 바이어스가 인가되는 것을 특징으로 하는 반도체 소자.

【청구항 9】

제 7 항에 있어서,

상기 제1 도전형은 n형인 것을 특징으로 하는 반도체 소자.

【청구항 10】

제 9 항에 있어서,

상기 제2 배선 및 제2 콘택플러그에는 전원전압이 인가되는 것을 특징으로 하는 반도체 소자.

【청구항 11】

제 7 항에 있어서,

상기 제1 도전형은 p형인 것을 특징으로 하는 반도체 소자.

【청구항 12】

제 11 항에 있어서,

상기 제2 배선 및 제2 콘택플러그에는 접지전원이 인가되는 것을 특징으로 하는 반도체 소자.

【청구항 13】

제 7 항에 있어서,

상기 제1 및 제2 콘택플러그는 텅스텐으로 이루어진 것을 특징으로 하는 반도체 소자.

【청구항 14】

제 7 항에 있어서,

상기 제2 불순물 영역은 에스램 셀의 드라이버 트랜지스터의 소오스 영역이며, 상기 제2 배선은 접지라인인 것을 특징으로 하는 반도체 소자.

【청구항 15】

제 7 항에 있어서,

상기 제2 불순물 영역은 에스램 셀의 풀업 트랜지스터의 소오스 영역이며, 상기 제2 배선은 전원라인인 것을 특징으로 하는 반도체 소자.

【청구항 16】

기판에 제1 도전형의 웰을 형성하는 단계;

상기 제1 도전형의 웰 내에 제2 도전형의 불순물 영역을 형성하는 단계;

상기 제1 도전형의 웰 및 제2 도전형의 불순물 영역이 형성된 기판 상에 하부 중간 절연막을 형성하는 단계;

상기 하부 중간절연막을 선택적으로 식각하여 상기 불순물 영역을 노출시키는 개구부를 형성하는 단계;

상기 개구부를 제1 도전막으로 채워 콘택플러그를 형성하되, 상기 콘택플러그에는 보이드(void)를 형성하는 단계;

상기 콘택플러그가 형성된 하부 중간절연막 상에 상부 중간절연막을 형성하는 단계;

상기 상부 중간절연막을 선택적으로 식각하여 상기 콘택플러그를 노출시키는 배선홈을 형성하는 단계;

상기 노출된 보이드를 갖는 콘택플러그 및 기판을 과식각하여 상기 보이드를 상기 제1 도전형의 웰까지 연장시키는 단계; 및

상기 배선홈을 제2 도전막으로 채워 배선을 형성하되, 상기 웰까지 연장된 보이드에는 상기 콘택플러그 및 상기 웰을 연결하는 심(seam)이 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 17】

제 16 항에 있어서,

상기 콘택플러그를 형성하는 단계는,

상기 개구부의 내부 및 상기 하부 중간절연막 상에 제1 도전막을 형성하는 단계;

및

상기 제1 도전막을 상기 하부 층간절연막이 드러날 때까지 화학 기계적 연마하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 18】

제 17 항에 있어서,

상기 제1 도전막의 형성 두께는 상기 개구부 폭의 1/2 이하로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 19】

제 16 항에 있어서,

상기 배선을 형성하는 단계는,

상기 배선홈의 내부 및 상기 상부 층간절연막 상에 제2 도전막을 형성하는 단계;
및

상기 제2 도전막을 상기 상부 층간절연막이 드러날 때까지 화학 기계적 연마하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 20】

제 16 항에 있어서,

상기 제1 도전형의 웰은 n형으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 21】

제 20 항에 있어서,

상기 제2 도전형의 불순물 영역은 에스램 셀의 드라이버 트랜지스터의 소오스 영역이고, 상기 배선은 접지라인인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 22】

제 16 항에 있어서,

상기 제1 도전형은 p형인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 23】

제 22 항에 있어서,

상기 제2 도전형의 불순물 영역은 에스램 셀의 풀업 트랜지스터의 소오스 영역이고, 상기 배선은 전원라인인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 24】

제 16 항에 있어서,

상기 콘택플러그 및 배선은 텅스텐으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 25】

제 16 항에 있어서,

상기 보이드를 상기 제1 도전형의 웰까지 연장시키는 과식각은 RF 식각으로 하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 26】

기판에 제1 도전형의 웰을 형성하는 단계;

상기 제1 도전형의 웰 내에 소정거리 이격하여 제 2 도전형의 제1 및 제2 불순물 영역을 형성하는 단계;

상기 제1 도전형의 웰 및 제2 도전형의 불순물 영역이 형성된 기판 상에 하부 중간 절연막을 형성하는 단계;

상기 하부 중간절연막을 선택적으로 식각하여 상기 제1 불순물 영역을 노출시키는 제1 개구부 및 상기 제2 불순물 영역을 노출시키되 상기 제1 개구부보다 상대적으로 폭이 넓은 제2 개구부를 형성하는 단계;

상기 제1 개구부 및 상기 제2 개구부를 제1 도전막으로 채워 제1 콘택플러그 및 제2 콘택플러그를 형성하되, 상기 제2 콘택플러그에는 보이드(void)를 형성하는 단계;

상기 제1 콘택플러그 및 제2 콘택플러그가 형성된 하부 중간절연막 상에 상부 중간절연막을 형성하는 단계;

상기 상부 중간절연막을 선택적으로 식각하여 상기 제1 배선홈 및 제2 배선홈을 형성하는 단계;

상기 제2 배선홈의 하부에 노출된 상기 제2 콘택플러그를 과식각하여 상기 보이드를 상기 제1 도전형의 웰까지 연장시키는 단계; 및

상기 제1 배선홈 및 상기 제2 배선홈을 제2 도전막으로 채워 제1 배선 및 제2 배선을 형성하되, 상기 웰까지 연장된 보이드에는 상기 콘택플러그 및 상기 웰을 연결하는 심(seam)이 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 27】

제 26 항에 있어서,

상기 제1 콘택플러그 및 상기 제2 콘택플러그를 형성하는 단계는,

상기 제1 및 제2 개구부의 내부 및 상기 하부 층간절연막 상에 제1 도전막을 형성하는 단계; 및

상기 제1 도전막을 상기 하부 층간절연막이 드러날 때까지 화학 기계적 연마하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 28】

제 27 항에 있어서,

상기 제1 도전막의 형성 두께는 상기 제2 개구부 폭의 1/2 이하로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 29】

제 26 항에 있어서,

상기 제1 배선 및 상기 제2 배선을 형성하는 단계는,

상기 제1 및 제2 트렌치의 내부 및 상기 상부 층간절연막 상에 제2 도전막을 형성하는 단계; 및

상기 제2 도전막을 상기 상부 층간절연막이 드러날 때까지 화학 기계적 연마하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 30】

제 26 항에 있어서,

상기 제1 도전막 및 상기 제2 도전막은 텅스텐으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 31】

제 26 항에 있어서,

상기 제1 도전형의 웰은 n형으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 32】

제 31 항에 있어서,

상기 제2 도전형의 제2 불순물 영역은 에스램 셀의 드라이버 트랜지스터의 소오스 영역이고, 상기 제2 배선은 접지라인인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 33】

제 26 항에 있어서,

상기 제1 도전형은 p형인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 34】

제 34 항에 있어서,

상기 제2 도전형의 제2 불순물 영역은 에스램 셀의 풀업 트랜지스터의 소오스 영역 이고, 상기 제2 배선은 전원라인인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 35】

제 26 항에 있어서,

상기 콘택플러그 및 배선은 텅스텐으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 36】

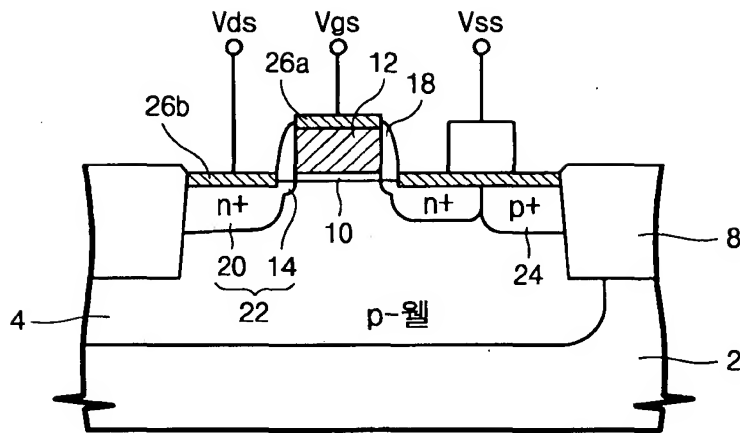
제 26 항에 있어서,

상기 보이드를 상기 제1 도전형의 웰까지 연장시키는 과식각은 RF 식각으로 하는 것을 특징으로 하는 반도체 소자의 제조방법.

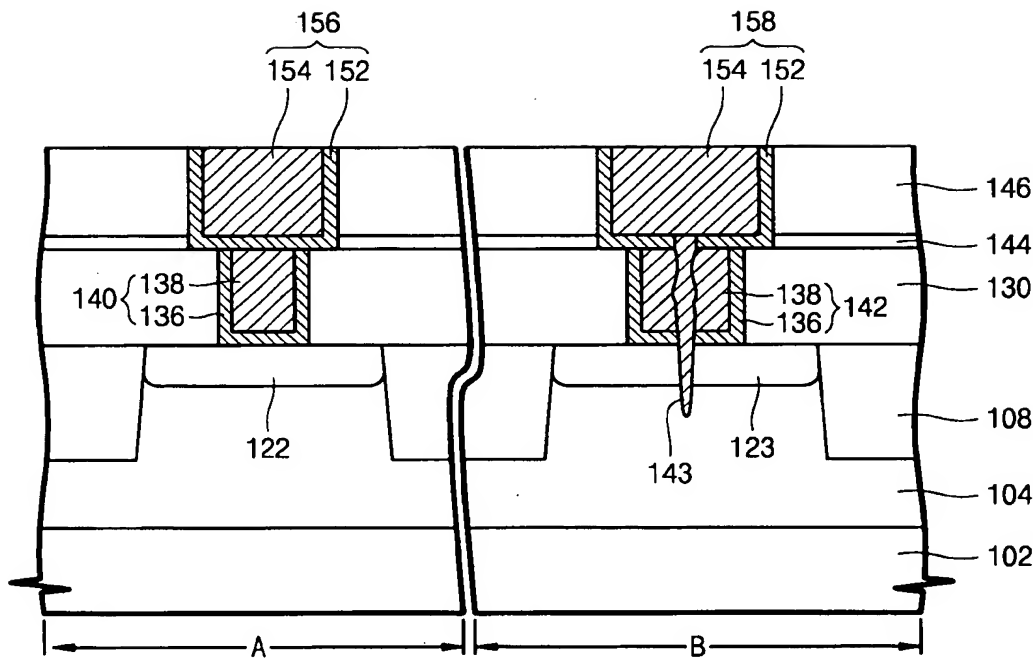
【도면】

【도 1】

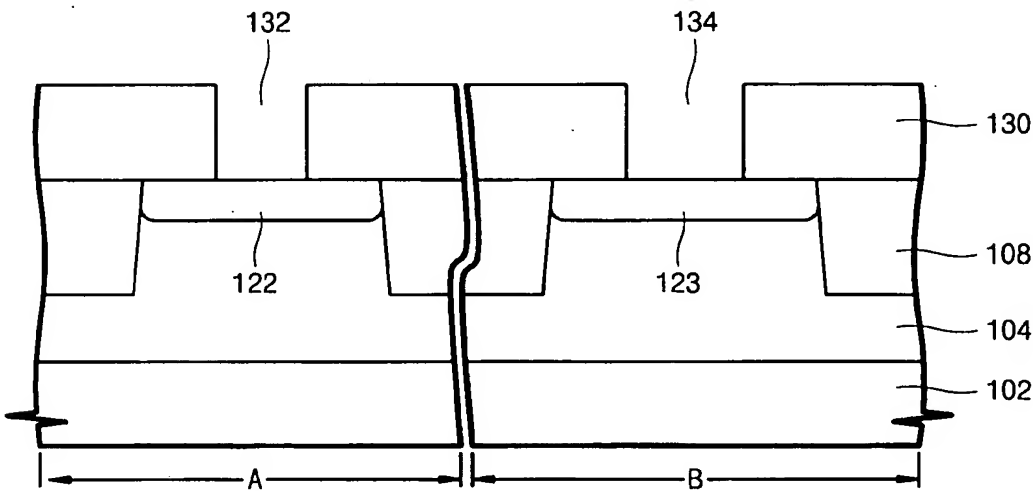
(종래기술)



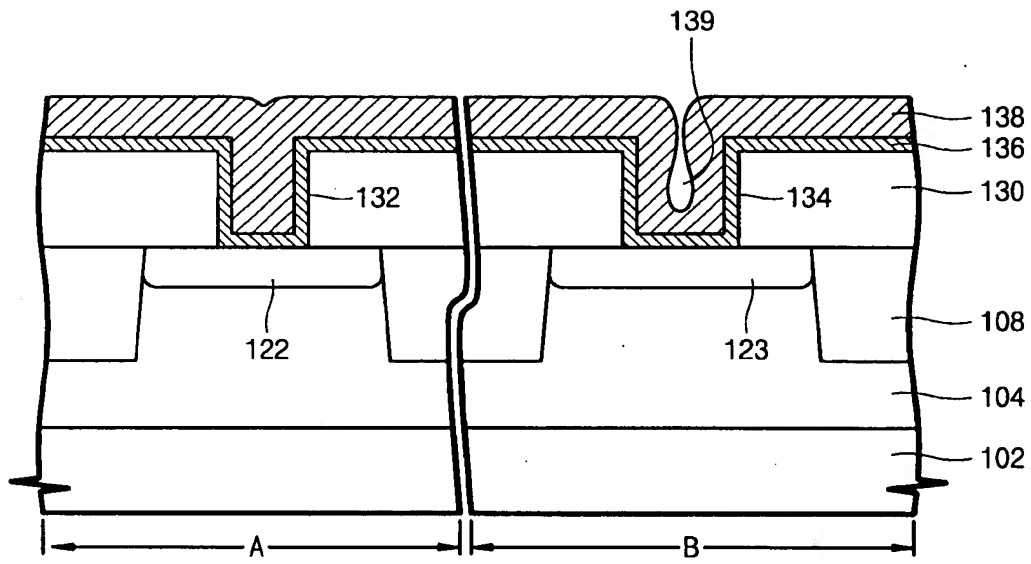
【도 3】



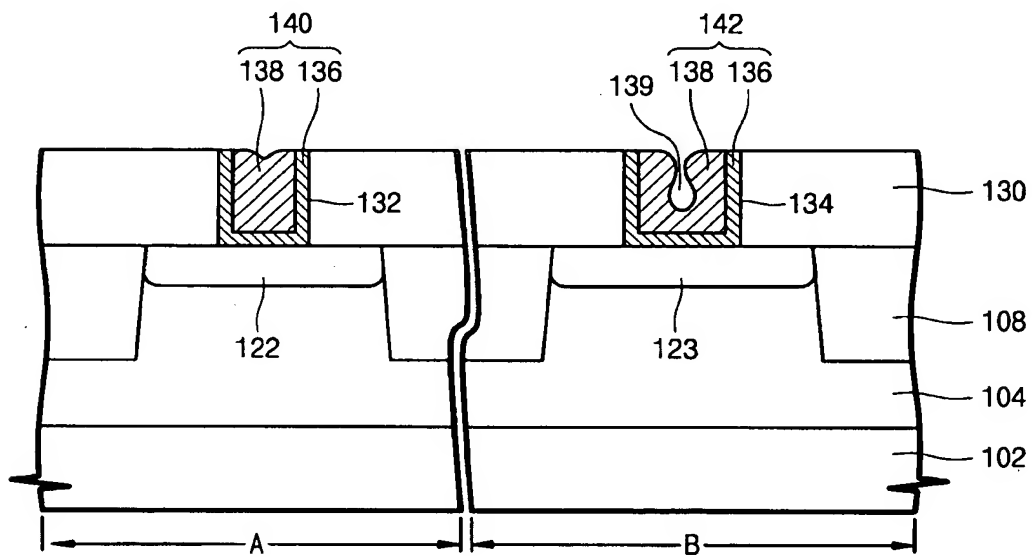
【도 4a】



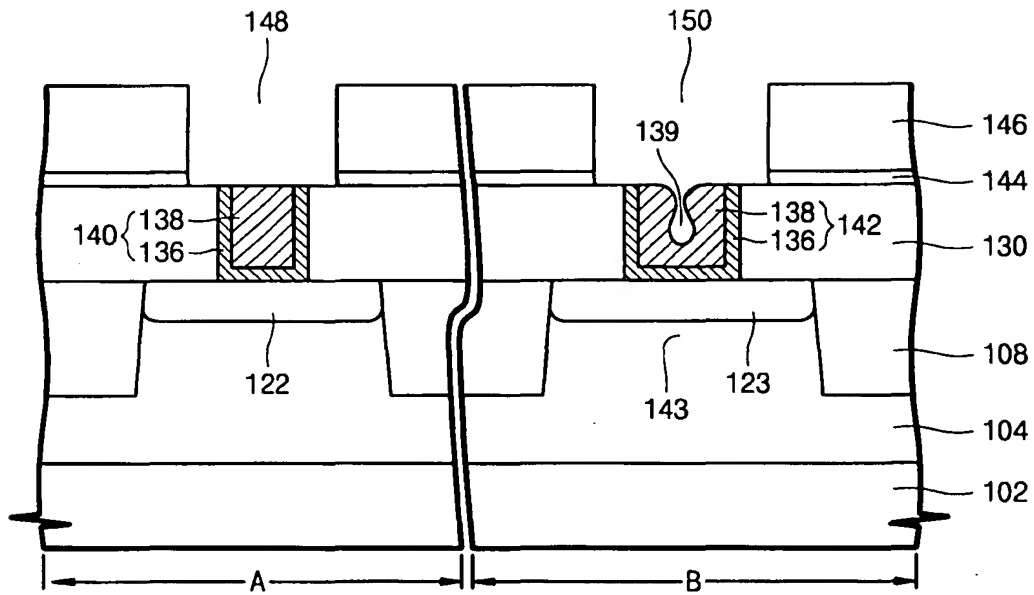
【도 4b】



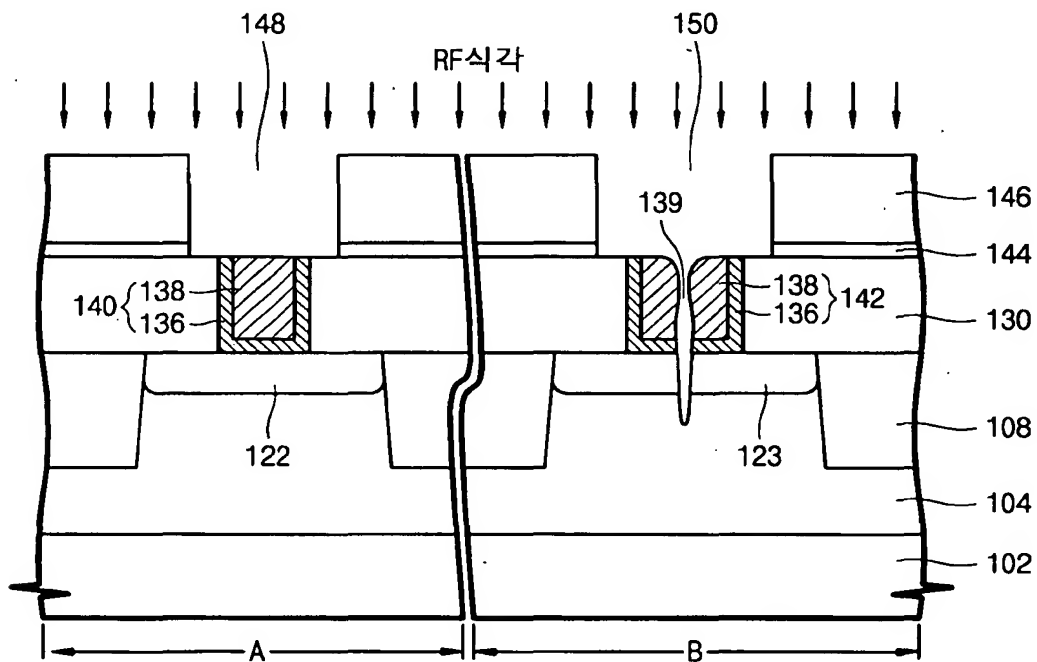
【도 4c】



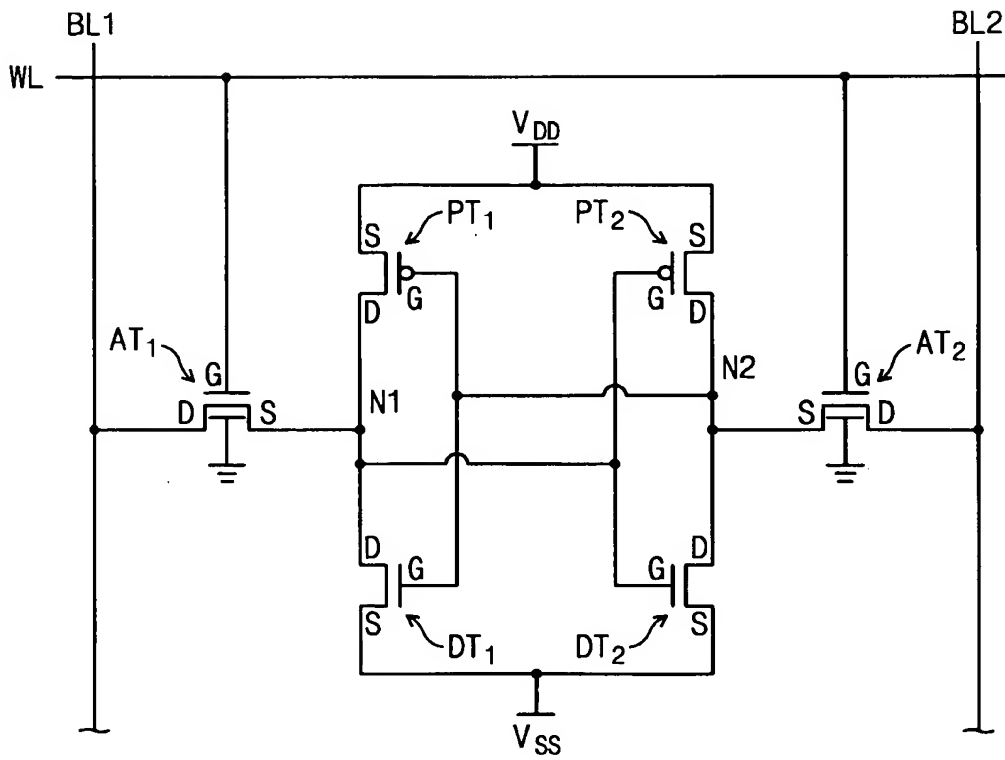
【도 4d】



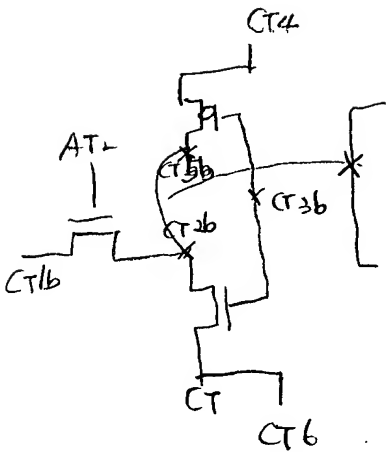
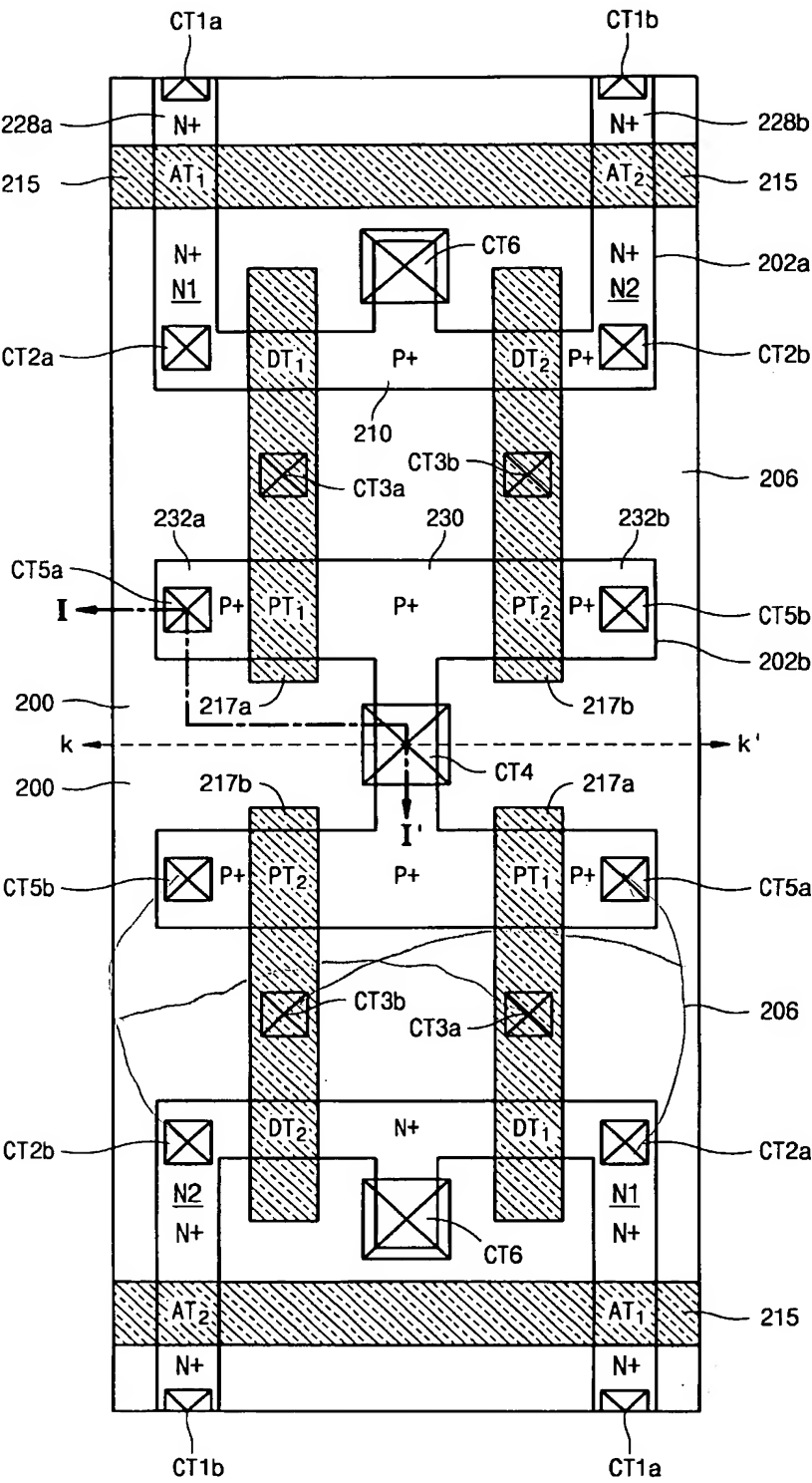
【도 4e】



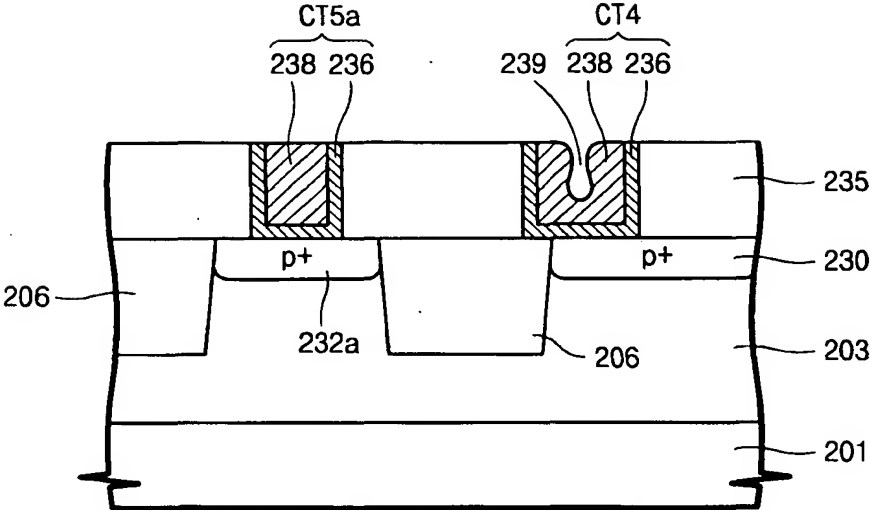
【도 5】



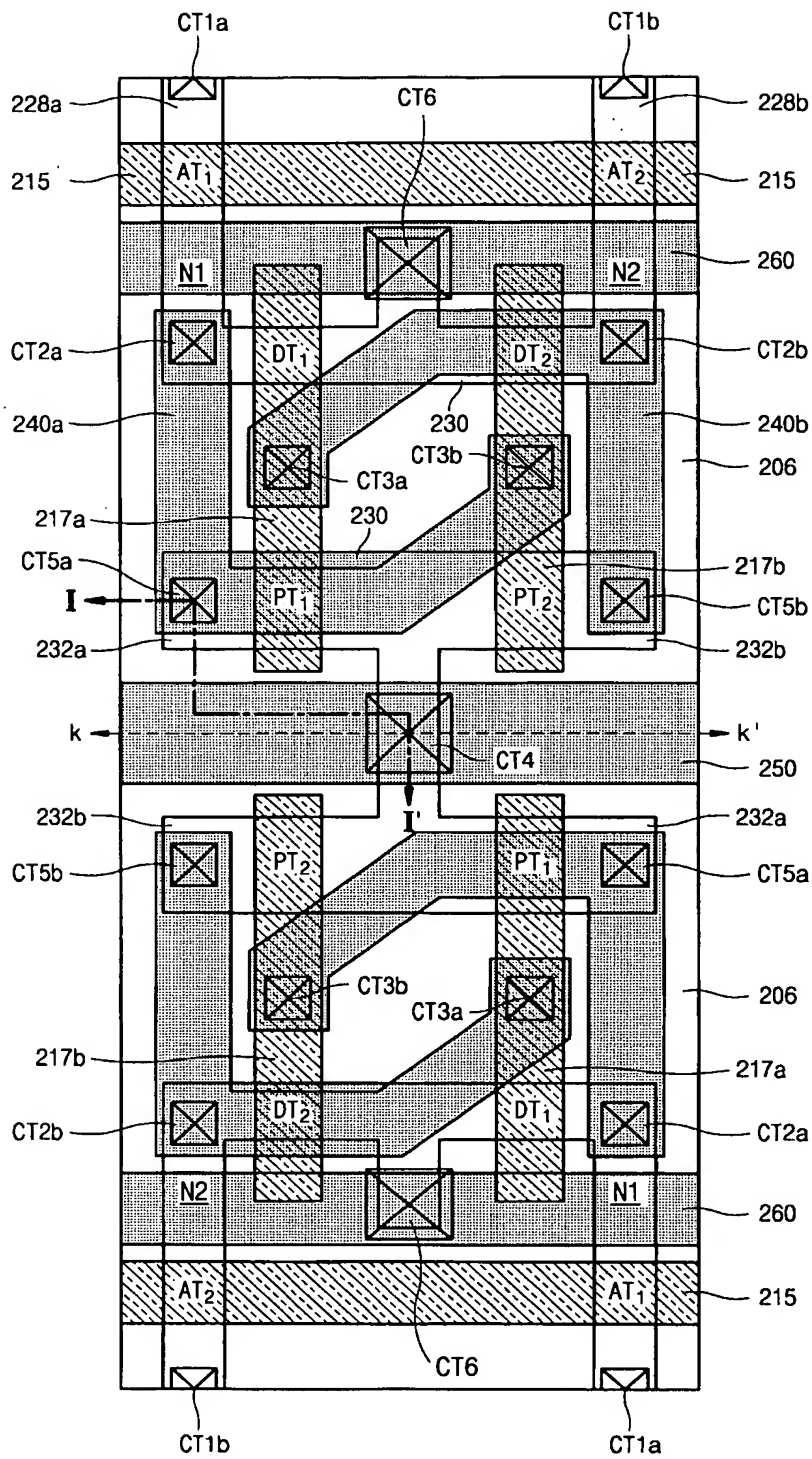
【도 6a】



【도 6b】



【도 7a】



【도 8】

